

DC-DC CONVERTER

Publication number: JP7222439

Publication date: 1995-08-18

Inventor: HENMI TOKUYUKI

Applicant: FUJI ELECTRIC CO LTD

Classification:

- International: **H02J1/00; H02M3/155; H02J1/00; H02M3/04; (IPC1-7):**
H02M3/155; H02J1/00

- european:

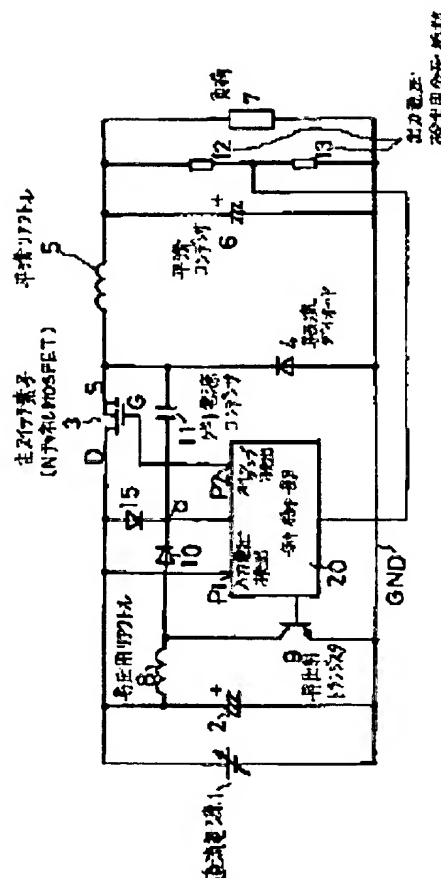
Application number: JP19940010727 19940202

Priority number(s): JP19940010727 19940202

Report a data error here

Abstract of JP7222439

PURPOSE:To form a step-up power supply for gate driving of an N-channel MOSFET without lowering the efficiency of an apparatus in a chopper-type step-down DC-DC converter in which the FET is used as a main switching element. **CONSTITUTION:**When a voltage from a power supply 1 is less than a prescribed value or a FET 3 is turned on perfectly, a control part 20 turns on and off a transistor 9 and a reactor 8 for step-up is energized intermittently. As a result, when the transistor 9 is turned off, the reactor 8 changes a gate-power- supply capacitor 11 via a diode 10, and a step-up power supply, for a gate, which can turn on the FET 3 is obtained at a terminal (a). When the power- supply voltage exceeds the prescribed value and the FET 3 is turned on and off, the control part 20 stops driving the transistor 9. When the FET 3 is turned off at this time, a commutation diode 4 is set to continuity, the gate-power- supply capacitor 11 is charged by the power supply 1 via a diode 15, and the terminal (a) is set at the power-supply voltage. When the FET 3 is turned on, the terminal (a) is set to twice the power-supply voltage, and the power supply for the gate can be obtained at the terminal (a) at a low loss.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-222439

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/155	H			
	T			
H 0 2 J 1/00	3 0 6 C	7429-5G		

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平6-10727

(22) 出願日 平成6年(1994)2月2日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 逸見 徳幸

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

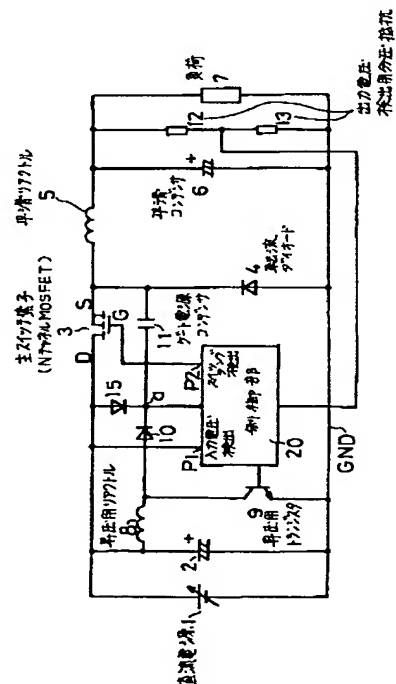
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】

【目的】主スイッチ素子にNチャネルMOSFET 3を用いた降圧チョッパ型DC-DCコンバータにてFET 3のゲート駆動用昇圧電源を装置効率低下なく作る。

【構成】電源1の電圧が所定値を下回るか、FET 3が100%オンのとき、制御部20はトランジスタ9を開閉して昇圧用リアクトル8を断続付勢するので、トランジスタ9のオフ時にリアクトル8はダイオード10を介しゲート電源コンデンサ11を充電し、その端子aにFET 3をオンできるゲート用昇圧電源を得る。電源電圧が所定値を上回り、かつFET 3が開閉しているとき制御部20はトランジスタ9の駆動を停止する。このときFET 3のオフ時、転流ダイオード4の導通にてゲート電源コンデンサ11はダイオード15を介し電源1により充電され、端子aは電源電圧となる。FET 3がオンすると端子aは電源電圧の2倍となり、低損失で端子aにゲート用電源が得られる。



【特許請求の範囲】

【請求項1】 直流電源の正極側に直列に、負荷に給電する極性に第1のスイッチ素子を設け、この第1のスイッチ素子の負荷側の端子と直流電源の負極との間に、平滑リアクトルと負荷との直列回路を接続し、第1のスイッチ素子の負荷側の端子と直流電源の負極との間に転流ダイオードを平滑リアクトルの電流を維持する極性に設け、

負荷に並列に平滑コンデンサを接続してなり、

負荷の電圧を検出する手段、

前記電圧検出手段によって検出された負荷電圧を所定値に保つように、所定周期で第1のスイッチ素子をオン／オフ駆動制御する制御手段を備えたDC-DCコンバータにおいて、

第1のスイッチ素子の負荷側の端子にゲート電源コンデンサの負側の端子を接続し、ゲート電源コンデンサの正側の端子と直流電源の正極との間にゲート電源コンデンサがカソード側になるように第1の充電用ダイオードを設け、

さらに少なくとも直流電源によって付勢される昇圧用リアクトルと、前記制御手段によってオン／オフ駆動制御され、この昇圧用リアクトルの付勢電流をスイッチングする第2のスイッチ素子とを持って直流電源の電圧を昇圧した電圧を出力するゲート電源用昇圧チョッパを設け、

このゲート電源用昇圧チョッパの昇圧電圧により、ゲート電源コンデンサの正側端子にカソードが接続された第2の充電用ダイオードを介して、このゲート電源コンデンサを充電して得るようにし、

前記制御手段はゲート電源コンデンサの正側端子の電圧を用いて第1のスイッチ素子をオンとするようにしたことを特徴とするDC-DCコンバータ。

【請求項2】 請求項1に記載のDC-DCコンバータにおいて、

前記制御手段は、直流電源の電圧が所定値を下回るか、または第1のスイッチ素子のオン比率を100%とした場合には第2のスイッチ素子のオン／オフ駆動を行い、直流電源の電圧が前記所定値を上回り、かつ第1のスイッチ素子のオン／オフを行っているときは第2のスイッチ素子のオン／オフ駆動を停止するものであることを特徴とするDC-DCコンバータ。

【請求項3】 請求項1または2記載のDC-DCコンバータにおいて、

前記第1のスイッチ素子をNチャネルMOSFETとしたことを特徴とするDC-DCコンバータ。

【請求項4】 請求項1ないし3に記載のDC-DCコン

$$\begin{aligned} \text{出力電圧（平均値）} &= (\text{電源電圧}) \times (\text{オン時間}) / (\text{開閉周期}) \cdots (1) \\ &= (\text{電源電圧}) \times (\text{オン比率}) \cdots (1a) \end{aligned}$$

ここで電源電圧は直流電源1の電圧であり、オン時間はFET3の1開閉周期中のオン時間である。制御部20

パートにおいて、

前記昇圧用リアクトルの一端は直流電源の正極に接続され、この昇圧用リアクトルの他端と直流電源の負極との間に第2のスイッチ素子が接続され、前記昇圧用リアクトルの他端に第2の充電用ダイオードのアノードが接続されてなることを特徴とするDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電圧の変動する直流電源から所定電圧の直流電源を作り出すDCチョッパとしてのDC-DCコンバータであって、特に主スイッチ素子としてNチャネルMOSFETを用い、電源電圧より高い電圧のゲート用電源を作って、そのゲート駆動を行う方式のDC-DCコンバータに関する。

【0002】 なお以下各図において、同一の符号は同一もしくは相当部分を示す。

【0003】

【従来の技術】 図2は主スイッチ素子としてNチャネルMOSFETを用いたこの種のDC-DCコンバータの構成例を示す。なおNチャネルMOSFETを用いる理由はNチャネルMOSFETの方がPチャネルMOSFETより作りやすく低コストとなるためである。図2において、1は電圧の変動する直流電源、2は電源電圧の脈動を抑える電解コンデンサからなる電源コンデンサ、3は主スイッチ素子としてのNチャネルMOSFET、4は転流ダイオード、5は出力電流平滑用のリアクトル、6は出力電圧平滑用のコンデンサ、7は負荷、12, 13は出力電圧検出用の分圧抵抗である。20は分圧抵抗12, 13によって検出される出力電圧を所定値に保つように、定周期でNチャネルMOSFET3をオン／オフ駆動制御する制御部である。

【0004】 FET3のオン時には直流電源1→FET3→平滑リアクトル5→負荷7→直流電源1の経路で負荷電流が流れ、平滑リアクトル5の存在により、この負荷電流は徐々に増大する。次にFET3をオフすると、平滑リアクトル5は今までの電流を維持する方向に電圧を発生し、負荷電流は転流ダイオード4→平滑リアクトル5→負荷7→転流ダイオード4の経路で流れ続け、この間、負荷電流は徐々に減少する。平滑コンデンサ6はこの間の負荷7の電圧の脈動を平滑化する。

【0005】 このようにして負荷7には下記式(1)又は(1a)で表される出力電圧(平均値)が供給される。

【0006】

【数1】

は電源1の電圧変動に応じ、上式1aに示すFET3のオン比率(デューティともいう)を制御することによ

て出力電圧を一定に保つ。

【0007】ところでNチャネルMOSFET3をオンし、かつこのオン状態を維持するにはFET3のゲートGにソースSよりゲート電圧分、高い電圧を与え、かつこの状態を保たなければならない。FET3のソースSの電位は、FET3のオフ時にはDCチョップの起動時および転流ダイオード4の導通時には、ほぼグランドGNDの電位にあるが、平滑リアクトル5の電流が消滅し、転流ダイオード4がオフしたときには平滑コンデンサ6の正極電位に上昇する。

【0008】またFET3のオン時にはほぼ直流電源1の正極の電位にある。従ってFET3がオンするゲート用電源の電圧は少なくとも直流電源1の電圧をさらにゲート電圧分昇圧したものでなければならぬことになる。8～11はこのゲート用昇圧電源を作るための手段であり、いわゆる昇圧型のDCチョップを構成している。ここで8は昇圧用リアクトル、9は昇圧用トランジスタ、10は充電用のダイオード、11はゲート用昇圧電源を維持するゲート電源コンデンサである。

【0009】制御部20は定周期でトランジスタ9をオン／オフする。トランジスタ9のオン時、電源1→リアクトル8→トランジスタ9→電源1の経路で電流が流れ、リアクトル8が付勢される。次にトランジスタ9がオフすると、リアクトル8はその電流を維持する方向に電圧を発生し、この発生電圧と電源1の電圧との和の電圧によってダイオード10を介しゲート電源コンデンサ11が充電される。制御部20はコンデンサ11の電圧を所定値に保つようにトランジスタのオン比率を制御する。そしてこのコンデンサ11の電圧をFET3のゲートGに印加することによって前述のようにFET3をオンさせる。

【0010】図3は従来のDC-DCコンバータのゲート用電源の別の構成例を示す。同図において14は例えば5V、10V等のゲート電圧分の電圧を持つ基準電圧源である。この図3の回路では、FET3のオフ時であって、装置の起動時及び転流ダイオード4の導通時には転流ダイオード4のカソードの電位がほぼグランドGNDのレベルとなる。このときゲート電源コンデンサ11は充電用のダイオード10を介し基準電圧源14によってその電圧まで充電される。このゲート電源コンデンサ11の転流ダイオード4との接続点（負側端子と呼ぶ）はFET3のソースSの電位にあるので、ゲート電源コンデンサ11の充電用ダイオード10との接続点（正側端子と呼ぶ）aの電位はこのソース電位よりゲート電圧分高い（つまりFET3をオンできる）電位となる。制御部20はこのa点の電圧をFET3のゲートGに印加してFET3をオンすることができる。

【0011】

【発明が解決しようとする課題】従来のゲート用の昇圧電源は、図2のように昇圧チョップ電源を使用した場

合、図2の装置を小型化すると昇圧用トランジスタ9、昇圧用リアクトル8、充電用ダイオード10等の損失の割合が全損失に対し無視できない大きさになる（特に装置の出力電力が小さい場合）。またゲート用昇圧電源の損失を小さくしようとすると、大型化してしまうという問題がある。

【0012】また図3のように基準電圧源14と転流ダイオード4のカソード間にゲート電源コンデンサ11を接続する方法の場合、主スイッチ素子3のスイッチングを利用して昇圧するため、部品点数が少なく、損失も小さいが、主スイッチ素子3がスイッチングをしない場合（デューディ（オン比率）100%時）や、電源1の電圧が低く基準電圧源14の電圧が充分でない場合は使用できないという問題がある。そこで本発明はこれらの問題を解消できるDC-DCコンバータを提供することを課題とする。

【0013】

【課題を解決するための手段】前記の課題を解決するために、請求項1のDC-DCコンバータでは、直流電源（1など）の正極側に直列に、負荷に給電する極性に第1のスイッチ素子（主スイッチ素子など）を設け、この第1のスイッチ素子の負荷側の端子と直流電源の負極との間に、平滑リアクトル（5など）と負荷（7など）との直列回路を接続し、第1のスイッチ素子の負荷側の端子と直流電源の負極との間に転流ダイオード（4など）を平滑リアクトルの電流を維持する極性に設け、負荷に並列に平滑コンデンサ（6など）を維持してなり、負荷の電圧を検出する手段（出力電圧検出用分圧抵抗12、13など）、前記電圧検出手段によって検出された負荷電圧を所定値に保つように、所定周期で第1のスイッチ素子をオン／オフ駆動制御する制御手段（制御部20など）を備えたDC-DCコンバータにおいて、第1のスイッチ素子の負荷側の端子にゲート電源コンデンサ（11など）の負側の端子を接続し、ゲート電源コンデンサの正側の端子と直流電源の正極との間にゲート電源コンデンサがカソード側となるように第1の充電用ダイオード（15など）を設け、さらに少なくとも直流電源によって付勢される昇圧用リアクトル（8など）と、前記制御手段によってオン／オフ駆動制御され、この昇圧用リアクトルの付勢電流をスイッチングする第2のスイッチ素子（昇圧用トランジスタ9など）とを持って直流電源の電圧を昇圧した電圧を出力するゲート電源用昇圧チョップを設け、このゲート電源用昇圧チョップの昇圧電圧により、ゲート電源コンデンサの正側端子にカソードが接続された第2の充電用ダイオード（10など）を介して、このゲート電源コンデンサを充電し得るようにし、前記制御手段はゲート電源コンデンサの正側端子の電圧を用いて第1のスイッチ素子をオンするようにする。

【0014】また請求項2のDC-DCコンバータでは、請求項1に記載のDC-DCコンバータにおいて、

前記制御手段は、直流電源の電圧が所定値を下回るか、または第1のスイッチ素子のオン比率を100%とした場合には第2のスイッチ素子のオン/オフ駆動を行い、直流電源の電圧が前記所定値を上回り、かつ第1のスイッチ素子のオン/オフを行っているときは第2のスイッチ素子のオン/オフ駆動を停止するものであるようにする。

【0015】また請求項3のDC-DCコンバータでは、請求項1または2に記載のDC-DCコンバータにおいて、前記第1のスイッチ素子をNチャネルMOSFETとする。また請求項4のDC-DCコンバータでは、請求項1ないし3に記載のDC-DCコンバータにおいて、前記昇圧用リアクトルの一端は直流電源の正極に接続され、この昇圧用リアクトルの他端と直流電源の負極との間に第2のスイッチ素子が接続され、前記昇圧用リアクトルの他端に第2の充電用ダイオードのアノードが接続されてなるようにする。

【0016】

【作用】ゲート用の昇圧電源は図2のような昇圧チョッパ方式とするが、充電用ダイオード10の後段のゲート電源コンデンサ11の負側端子はグランドGNDではなく、主回路の転流ダイオード4のカソードへ接続する。また、このゲート電源コンデンサ11の正側端子（つまり充電用ダイオード10との接続点）aと、直流電源1の正極との間に充電用ダイオード15を、そのカソードがコンデンサ11（の端子a）側となる極性に接続する。そして入力電圧（つまり直流電源1の電圧）がFET3をオンするのに必要な所定電圧より低い時、または主スイッチ素子3がスイッチングをしない場合（デューティ100%時）は、ゲート用昇圧チョッパ回路を動作させNチャネルMOSFET3のゲート印加に必要な電圧をつくる。入力電圧が充分に高く、かつ主スイッチ素子3がスイッチングしている場合は、ゲート用昇圧チョッパ回路を停止し、主スイッチ素子3のスイッチングを利用して転流ダイオード4の導通時に直流電源1から充電用ダイオード15を介しゲート電源コンデンサ11に充電し、ゲート印加に必要な電圧をつくる。これによりDC-DCコンバータの常時の効率を高める。

【0017】

【実施例】図1は本発明の一実施例としての構成を示す。同図においては図2のゲート電源コンデンサ11のグランドGND側の端子（負側端子）を転流ダイオード4のカソードに接続し、新たに充電用のダイオード15を直流電源の正極とゲート電源コンデンサ11の充電用ダイオード10側の端子（正側端子）aとの間に、充電用ダイオード15のカソードがコンデンサ11の正側端子a側となるように接続した構成となっている。

【0018】この図1では制御部20は、入力電圧（電源1の電圧）が低い場合、またはNチャネルMOSFET3をスイッチングしない場合（デューティ100%

時）には、前者の場合は端子P1を介し、後者の場合は端子P2を介し夫々これを検知確認し、昇圧用トランジスタ19をスイッチングさせ、昇圧用リアクトル8、充電用ダイオード10、ゲート電源コンデンサ11からなるゲート用昇圧チョッパ回路を動作させ、NチャネルMOSFET3のゲートGの駆動に必要な電圧（例えば（入力電圧）+5V）をつくる。そしてこのコンデンサ11の正側端子aの電圧を利用し、制御部20はNチャネルMOSFET3のスイッチングを行い、転流ダイオード4、平滑リアクトル5、平滑コンデンサ6からなる降圧チョッパ回路を動作させる。

【0019】制御部20は入力電圧がNチャネルMOSFET4の駆動に必要な電圧（例えば4V駆動品の場合は4V以上）になり、ゲート用昇圧チョッパ回路の設定電圧以上になるとこれを端子P1により検知し、さらに主スイッチ素子をスイッチング動作していることを端子P2により確認するとゲート用昇圧チョッパ回路を停止し、充電用ダイオード15とゲート電源コンデンサ11によりNチャネルMOSFET3の駆動に必要な電圧をつくる。

【0020】即ちNチャネルMOSFET3がオンからオフへ変わると転流ダイオード4が導通しそのカソードがほとんど0Vとなり、充電用ダイオード15によりゲート電源コンデンサ11を入力電圧まで充電する。NチャネルMOSFET3がオフからオンへ変わると転流ダイオード4のカソードがほとんど入力電圧となるため、ゲート電源コンデンサ11の低電圧側（負側端子）が入力電圧へ引き上げられる。そこでゲート電源コンデンサ11の高電圧側（正側端子）aは入力電圧の二倍の電圧となる。この電圧を用いてNチャネルMOSFET3を駆動する。

【0021】

【発明の効果】本発明によれば主スイッチ素子3にNチャネルMOSFETを用いたDCチョッパ回路にて、ゲート用昇圧チョッパ電源の出力側コンデンサ（ゲート電源コンデンサ）11のグランド接続端子を主回路の転流ダイオード4のカソードに接続し、かつ直流電源1からゲート電源コンデンサ11の高圧側端子aへ向けて充電極性にダイオード15を接続し、電源電圧が低いか、主スイッチ素子のオン比率（デューティ）が100%のとき、ゲート用昇圧チョッパを作動させ、電源電圧が高く、かつ主スイッチ素子がスイッチングしているときゲート用昇圧チョッパを停止し、主スイッチ素子のスイッチングを利用してゲート電源コンデンサを充電するようにしたので、入力電圧（電源電圧）が低い時や主スイッチ素子がスイッチングしない場合（デューティ100%）でも充分にゲート用昇圧電圧が得られ、入力電圧が高い時は低損失でゲート用昇圧電圧が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例としての構成を示す回路図

【図2】図1に対応する従来回路の1例を示す図

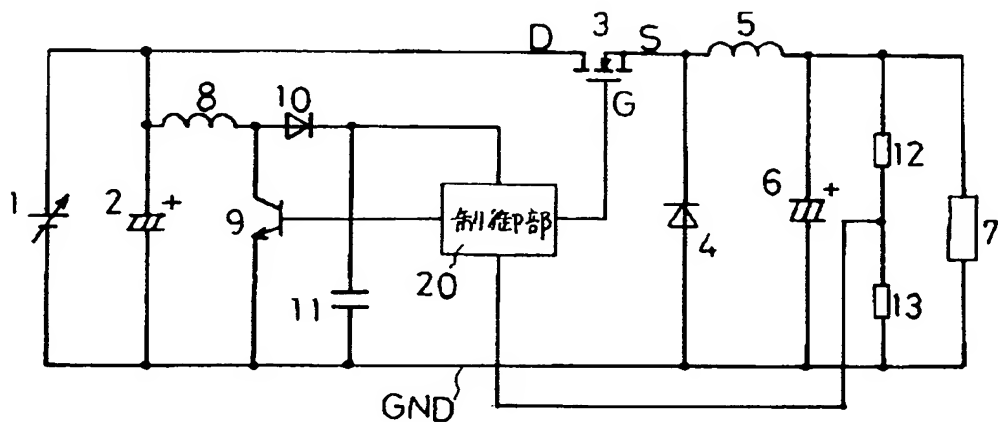
【図3】図1に対応する従来回路の他の例を示す図

【符号の説明】

- 1 直流電源
- 2 電源コンデンサ
- 3 主スイッチ素子 (NチャネルMOSFET)
- 4 転流ダイオード
- 5 平滑リアクトル
- 6 平滑コンデンサ
- 7 負荷

- 8 昇圧用リアクトル
- 9 昇圧用トランジスタ
- 10 充電用ダイオード
- 11 ゲート電源コンデンサ
- 12, 13 出力電圧検出用分圧抵抗
- 15 充電用ダイオード
- 20 制御部
- P1 入力電圧検出端子
- P2 スイッチング検出端子
- GND グランド

【図2】



【図3】

